

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-162285

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

H01L 21/768
H01L 21/3065

(21)Application number : 07-319993

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.12.1995

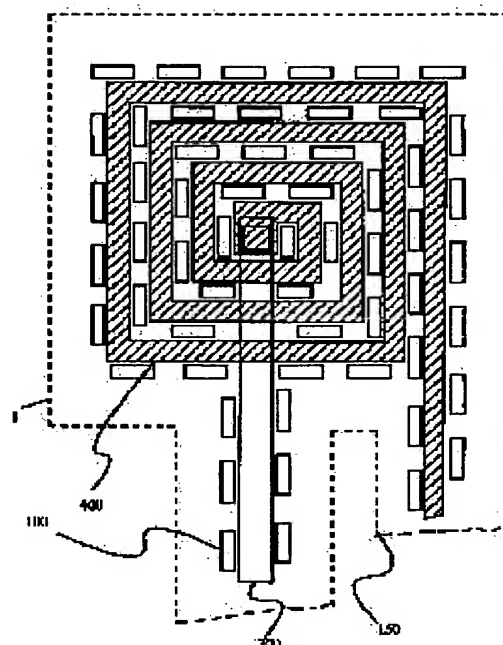
(72)Inventor : HISAMOTO MASARU
KIMURA SHINICHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a passive device excellent in high-frequency characteristics and small in area.

SOLUTION: A passive device is equipped with an insulating film (silicon oxide film 900 or interlayer insulating film 10) formed on a semiconductor substrate 1 and a metal wiring layer 400 formed on the silicon oxide film 900. At this point, openings 100 shorter than the metal wiring layer 400 are provided along the metal wiring layer 400 on the insulating film, a cavity 150 is provided to the substrate 1 connected to the openings 100, and the cavity 150 is arranged under the metal wiring layer 400. By this setup, a part of the substrate 1 under the metal wiring layer 400 is effectively removed by etching, whereby the cavity 150 can be formed inside the substrate 1, restrictions are less imposed on the layout of the passive device, and the device can easily be ensured of a mechanical strength.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-162285

(43) 公開日 平成9年(1997)6月20日

| (51) Int.Cl. ⁶ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
|---------------------------|---------|--------|---------------|--------|
| H 0 1 L | 21/768 | | H 0 1 L 21/90 | V |
| | 21/3065 | | 21/302 | M |
| | | | 21/90 | K |

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21) 出願番号 特願平7-31993

(22) 出願日 平成7年(1995)12月8日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 久本 大

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 木村 紳一郎

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

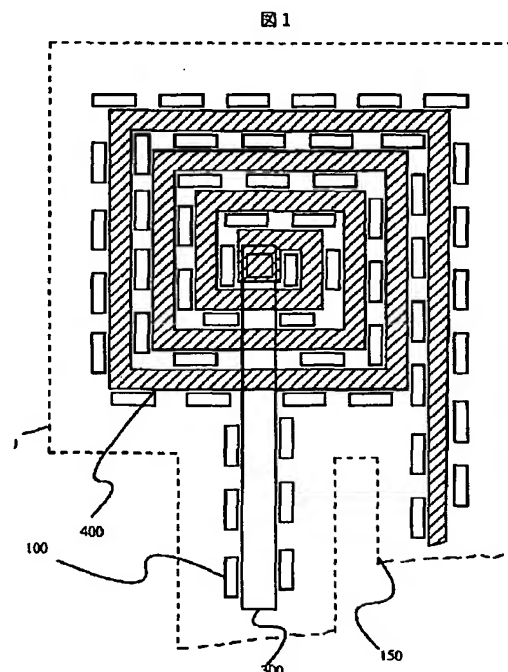
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 本発明の目的は、高周波特性にすぐれた受動素子を、小さな面積で実現できる構造を提供することにある。

【解決手段】 本発明によれば、半導体基板1上に形成された絶縁膜（シリコン酸化膜900又は層間絶縁膜10）と、そのシリコン酸化膜900上に形成された金属配線層400を有する半導体装置において、その金属配線層400に沿って上記絶縁膜にその金属配線層400の長さより短い複数の開孔100が上記絶縁膜に配置され、その開孔と接続された基板1に空洞150を有し、その空洞150が、金属配線層400下に配置されている。

【効果】 金属配線層400下を効果的にエッチング除去することによって半導体基板1内に空洞150が形成でき、レイアウト上の制約が少なく、機械的な強度を容易に確保することができる。



【特許請求の範囲】

【請求項1】半導体基板上に形成された絶縁膜と、該絶縁膜上に形成された配線層を有し半導体装置において、該配線層に沿ってその配線層の長さに比べ短い複数の開孔が該絶縁膜に配置され、該基板に該開孔を通して設けられた空洞を有し、該基板の空洞が、該配線層下に配置されていることを特徴とする半導体装置。

【請求項2】半導体基板上に形成された絶縁膜と、該絶縁膜上に形成された配線層を持つ半導体装置において、該配線層の長さ方向に沿って複数の開孔が連なって該絶縁膜に配置され、該基板に該開孔を通して設けられた空洞を有し、該基板の空洞が、該配線層下に配置されていることを特徴とする半導体装置。

【請求項3】半導体基板上に形成された絶縁膜と、該絶縁膜上に形成された配線層を持つ半導体装置において、該配線層に沿って複数の開孔が連なって該絶縁膜に配置され、該開孔を通して設けられた空洞を有し、該開孔が、長辺と短辺を持つ矩形からなり、該矩形長辺が該配線層に対向するように配置されていることを特徴とする半導体装置。

【請求項4】請求項1乃至請求項4に記載の半導体装置において、前記配線層は前記絶縁膜上平面内においてスパイラルインダクタを構成していることを特徴とする半導体装置。

【請求項5】半導体基板主面に絶縁膜が形成され、該絶縁膜主面上の所定部分に半導体層が設けられ、該半導体層に第1導電型チャネルのMISFETと第2導電型チャネルのMISFETとがそれぞれ形成された半導体装置であって、該絶縁膜主面上の他の所定部分においてスパイラルインダクタを構成する配線層が設けられ、該配線層の長さ方向に沿って複数の開孔が連なって該絶縁膜に配置され、該基板に該開孔を通して設けられた空洞を有し、該基板の空洞が、該配線層下に配置されていることを特徴とする半導体装置。

【請求項6】半導体基板主面に絶縁膜を形成する工程と、該絶縁膜上に金属配線層を所定のパターン形状に形成する工程と、該配線層の両側に沿って該絶縁膜に複数の開孔を形成する工程と、気相エッチングにより、該開孔より半導体基板をエッチングし、該配線層下におよぶ横方向エッチングを生させ、該金属配線下に位置して半導体基板に空洞部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板上に形成された配線層をもつ半導体装置およびその製造方法に関する。

【0002】

【従来の技術】シリコン半導体基板では、プレーナ加工技術と総称される加工技術を用いることで、再現性よく

微細なMOSFETをはじめとするアクティブ素子が形成できることから、一つの基板上に多数の素子を形成したエールエスアイ(SSI, Large Scale Integration)が作られ、広く用いられている。しかし、シリコン半導体は、常温においても、多数の電子が伝導帯に存在している。そのため、プレーナ加工技術で通常行われる、基板上に絶縁膜を堆積した上に素子間を結ぶ配線層を形成すると、シリコン基板との間に大きな寄生容量が生じることが知られている。いわゆるデジタル応用においては、動作周波数も低く、基板の効果は大きな障害とはならないが、高周波動作では問題となってくる。特に、配線を用いて形成されるインダクタ等の受動素子では大きな課題となってくる。

【0003】従来技術として、シリコン半導体基板上に形成されたインダクタ素子に基板空洞を用いることが知られている。それについては、アイ・イー・イー・イー・エレクトロニクス デバイス レター、第14巻、第5冊、第246頁から第248頁、1993年5月(IEEE Electron Device Letters, vol. 14, no. 5, pp. 246-248, MAY, 1993)に記載されている。これは、シリコン基板では多数の電子が伝導帯に存在するため高周波特性が劣化することを、基板空洞を形成することで避けたものである。

【0004】

【発明が解決しようとする課題】上記文献に開示された構造は、図6に示すように基板空洞を形成するための層間膜に設けた開孔100を、インダクタのパターンを囲うように大きく配置している。これは、基板エッチングに用いているウェットエッチングでは、エッチング速度にシリコンの面方位依存性がでるため、インダクタ下に十分な基板空洞を形成するには、大きな開孔を設ける必要からである。

【0005】このため、レイアウトの自由度を損ない、こうした基板空洞を設ける部分は、他素子と十分に離して配置しなければならない問題がある。また、大きな開孔があるため、インダクタ部を小さな梁部で支える必要があり、機械的な強度が課題となる。

【0006】そこで、本発明の目的は、高周波特性に優れた半導体装置を提供することにある。

【0007】本発明の他の目的は、小さな面積で実現した高周波特性に優れた受動素子を有する半導体装置を提供することにある。

【0008】さらに、本発明の他の目的は、低寄生容量で高動作可能な高性能MISFET及びそれに適した受動素子を有する半導体装置を提供することにある。

【0009】そしてさらに、本発明の他の目的は、高周波特性に優れた半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記主たる目的を達成す

るために、本発明によれば、たとえば図1に開示したように層間膜に設ける開孔を受動素子の配線に沿って配置した一連の小さな孔の集まりにより構成する。すなわち、本発明は半導体基板上に形成された絶縁膜と、該絶縁層上に形成された配線層を有し半導体装置において、該配線層に沿ってその配線層の長さ比べ短い複数の開孔が該絶縁膜に配置され、該基板に該開孔を通して設けられた空洞を有し、該基板の空洞が、該配線層下に配置されていることを特徴とするものである。

【0011】さらに、本発明は、半導体基板主面に絶縁膜が形成され、該絶縁膜主面上の所定部分に半導体層が設けられ、該半導体層に第1導電型チャネルのMISFETと第2導電型チャネルのMISFETとがそれぞれ形成された半導体装置であって、該絶縁膜主面上の他の所定部分においてスパイラルインダクタを構成する配線層が設けられ、該配線層の長さ方向に沿って複数の開孔が連なって該絶縁膜に配置され、該基板に該開孔を通して設けられた空洞を有し、該基板の空洞が、該配線層下に配置されていることを特徴とするものである。

【0012】そしてさらに、本発明は、半導体基板主面に絶縁膜を形成する工程と、該絶縁膜上に金属配線層を所定のパターン形状に形成する工程と、該配線層の両側に沿って該絶縁膜に複数の開孔を形成する工程と、気相エッチングにより、該開孔より半導体基板をエッチングし、該配線層下におよぶ横方向エッチングを生じせしめ、該金属配線下に位置して半導体基板に空洞部を形成する工程とを有することを特徴とするものである。

【0013】

【発明の実施の形態】以下、図面を用いて本発明の具体的な実施の形態を説明する。

【0014】（実施例1）図1は、本発明の実施例を示す平面図であり、半導体基板主面上に設けられたスパイラルインダクタ(Spiral inductor)の基本的な平面配置を示している。図1において、単結晶シリコン(Si)半導体基板1の主面上には、例えばシリコン酸化膜(SiO₂)を介して低抵抗金属である例えばアルミニウム(A1)あるいはA1合金から成る第1金属配線層300が約10μm〜15μm幅で形成されている。この第1金属配線層300上には、例えばCVD-SiO₂およびSOG(Spin On Glass)膜を積層して成る層間絶縁膜を介して低抵抗金属である例えばアルミニウム(A1)あるいはA1合金から成り、約10μm幅の第2金属配線層400がスパイラル上に形成されている。そして、第1金属配線層300と第2金属配線層400とは、中央で層間絶縁膜に設けられたスルーホールを介してコンタクトされている。このように、半導体基板主面上の平面内にスパイラルインダクタが構成される。なお、第2金属配線層400の線幅及び巻数は、目的とするインダクタンスにより任意に設計される。

【0015】さらに、層間絶縁膜に複数の開孔100

が、この第2金属配線層400の配線幅両サイドに沿って位置している。すなわち、図1から明らかなように、複数の開孔100は長辺と短辺を持つ矩形からなり、その矩形長辺が第2金属配線層400に対向するように配置されている。この複数の開孔100の大きさは、配線ピッチ(配線間隔)下地絶縁膜の強度を考慮して設計されるが、例えば長辺15μm、短辺6μmを有する。そして、その複数の開孔100の間隔は15μmとした。そして、これら複数の開孔100は、第2金属配線層400に対向する開孔がそろわないように、わずかにずらして、いわゆる千鳥配置に設けられ、下地絶縁膜の強度低下を防止するという技術的配慮がされている。この開孔100の狙いは後述する本発明の形成方法により、より一層理解されよう。

【0016】そしてさらに、第1金属配線層300及び第2金属配線層400下に位置する半導体基板1内には、図1において点線図示したように、空洞150が配置されている。これら開孔100と空洞150との深さ方向での位置関係は、以下に断面構造を示した図2から図4を参照して説明する具体的な形成方法により明らかである。

【0017】図2に示すように、単結晶シリコン基板の表面を熱酸化し、500nmの厚さのシリコン酸化膜900を形成した上に、スパッタ法により厚さ500nmのアルミニウムを堆積し、ホトレジスト法を用いてパターンニングし、ドライエッチングにより第1金属配線300を形成する。

【0018】図3に示すように、CVD法を用いて酸化膜(SiO₂)およびSOG(Spin OnGlass)膜を積層して層間絶縁膜10を形成する。そして、図示していないが、第1配線層10上の所定箇所にコンタクト孔(スルーホール)を設ける。続いて、スパッタ法によりアルミニウムを2000nm堆積し、ホトレジスト法およびドライエッチングにより第2金属配線400を形成する。続いて、ホトレジスト法およびドライエッチングにより、基板空洞を設けるための開孔100をパターンニングし、層間絶縁膜10及びシリコン酸化膜900をエッチングする。

【0019】図4に示すように、第2金属配線400および絶縁膜(層間絶縁膜10及びシリコン酸化膜900)をマスクにシリコン基板1をドライエッチングし、そのシリコン基板1内に第2金属配線400(スパイラルインダクタ)下全体に位置(図1参照)した空洞150を形成する。このとき、エッチングガスとしてSF₆を用いると、面方位依存性のない等方的なエッチング形状を得ることができる。これにより、第1および第2配線層の下部にあるシリコンを除去することができる。このエッチング工程においては、図1に示したように第2金属配線400に沿って複数の開孔100が設けられていることで、シリコン酸化膜900下への充分なガスの

5

回り込みがなされ、横方向への等方性エッチングが進行し、従来技術のような場合に比べて、短時間で空洞150を形成することができる。すなわち、配線の両側に近接して開孔があるため、少ない基板エッチングで、配線の下部に空洞を形成することができる。また、大きな開孔がないため、レイアウトの自由度を高め、機械的な強度を高めることができる。また、気相のエッチングを用いているため、小さな開孔からでもエッチング種を供給することができる。

【0020】以上のようにして形成された本発明の受動素子すなわち、具体的なスパイラルインダクタは、一例として、空洞を有しない絶縁膜上に形成されたスパイラルインダクタに比較して次のような結果が得られた。すなわち、空洞を有しない絶縁膜上に形成されたスパイラルインダクタが、インダクタンス：7.6nH、共振周波数：8.7GHzに対し、本発明のスパイラルインダクタは、インダクタンス：7.7nH、共振周波数：19.6GHzと、その共振周波数は大幅に改善された。

【0021】（実施例2）本発明はスパイラルインダクタを得る場合に限らない。一般に、直流的な動作においても、基板と配線間の容量は、負荷として働くため、信号遅延を生じる等の特性を劣化させることが知られている。そこで、負荷を軽減したいときにも、本発明構造は有効である。図5にその実施例を示す。

【0022】すなわち、図5に示すように、半導体集積回路チップに設けられた比較的幅広い配線、例えば電源用配線あるいは接地用配線等の配線300にそって開孔100を配置することで、その配線300下部に空洞150を設けることができる。また、これらの開孔100は、矩形にすることで、基板エッチングを容易に行うことができる。これは、気相における等方的なエッチングにおいても、開孔に比べ空洞が大きくなるとエッチングガスの供給が遅くなり、エッチング速度が低下する。矩形の開孔を用いたとき、エッチング速度の低下は、矩形の長辺の寸法に強く依存しているため、矩形の開孔を配線層に沿って、配置することで、機械的な強度を損なうことなく有効に配線層の下部に空洞を形成することができる。しかも、矩形の開孔100を図のように千鳥配置することで、配線下部の絶縁膜の機械的な強度を一層損なうことがない。なお、図面上では空洞150（点線）を直線的に示したが、実際には等方性エッチングのため平面形状に若干の凹凸が見られる。

【0023】（実施例3）本発明の他の実施例を図6を参照して説明する。

【0024】図6は、スパイラルインダクタを有するSOI（Silicon On Insulator）構造の半導体装置の概略断面図を示す。

【0025】図6に示すように、単結晶シリコンよりなる支持基板1上に厚さ約300nmを有する埋込酸化膜900を介して、単結晶シリコン層（厚さ約100nm

6

m）20が形成されている。この単結晶シリコン層20には素子分離用絶縁膜（LOCOS酸化膜）30が形成されている。この素子分離用絶縁膜30によって分離された単結晶シリコン層20内には、それぞれ第1導電型（P型）チャネルMISFET（以下、単にPMOSと言う）及び第2導電型（N型）チャネルMISFET（以下、単にNMOSと言う）が形成され、相補型MISFETを構成する。これらPMOS及びNMOSのゲート電極は、例えば多結晶シリコン40及びタングステン（W）41より成る。このタングステン（W）41は、選択CVDにより形成される。また、PMOS及びNMOSのソース・ドレイン電極50、51はタングステン（W）より成る。

【0026】さらに、支持基板1上には図1に示した構成のスパイラルインダクタLが形成されている。このスパイラルインダクタL下部は、図6に示すように、開孔100を通しての等方性エッチングにより、深さ約100μmの空洞150が設けられている。この空洞150は、NMOS下にも回り込み形成されている。言い換えれば、空洞150上にNMOSが形成され、基板容量低減を図っている。特に、このような構成にした場合、ショートチャネル効果の抑制を充分に行えないことが心配されたが良好な基板スレッシュホールド特性を有するNMOSを達成できることが実験的にも確かめられた。また、必要に応じて、PMOS下にも空洞150を設けることにより、基板容量低減をより一層図ることも可能である。

【0027】したがって、本実施例によれば、低寄生容量で高速動作可能な高性能のSOI構造の半導体装置を得ることができる。

【0028】

【発明の効果】

（1）配線層下部の絶縁膜の機械的強度を低下させることなく、配線・基板間の寄生容量を低減でき、高周波特性の優れた半導体装置が得られる。

【0029】（2）スパイラル配線間に設けた開孔を用いて、その配線下に有効に空洞を形成したことにより、小さな面積で実現した高周波特性に優れたスパイラルインダクタを有する半導体装置が得られる。

【0030】（3）低寄生容量で高速動作可能な高性能のSOIデバイスが得られる。すなわち、シリコンを用いたCMOS構成の低消費電力RF増幅ICが得られる。

【0031】（4）配線に沿って複数の開孔を設けたことにより、配線下絶縁膜（シリコン酸化膜900）下への充分なガスの回り込みがなされ、横方向への等方性エッチングが進行し、従来技術のような場合に比べて、短時間で空洞を形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す半導体装置の要部

7

8

平面図である。

【図2】本発明の第1の実施例の半導体装置の製造工程順を示す断面図である。

【図3】本発明の第1の実施例の半導体装置の製造工程順を示す断面図である。

【図4】本発明の第1の実施例の半導体装置の製造工程順を示す断面図である。

【図5】本発明の第2の実施例を示す半導体装置の要部平面図である。

【図6】本発明の本発明の第3の実施例を示す半導体装置の要部平面図である。

【図7】従来技術の半導体装置を示す要部平面図である。

【符号の説明】

1…半導体基板、

10…層間絶縁膜、

20…単結晶シリコン層

30…素子分離用絶縁膜

40…多結晶シリコン

41…タングステン (W)

50、51…ソース・ドレイン電極

100…開孔、

150…空洞、

300…金属配線層、

400…金属配線層、

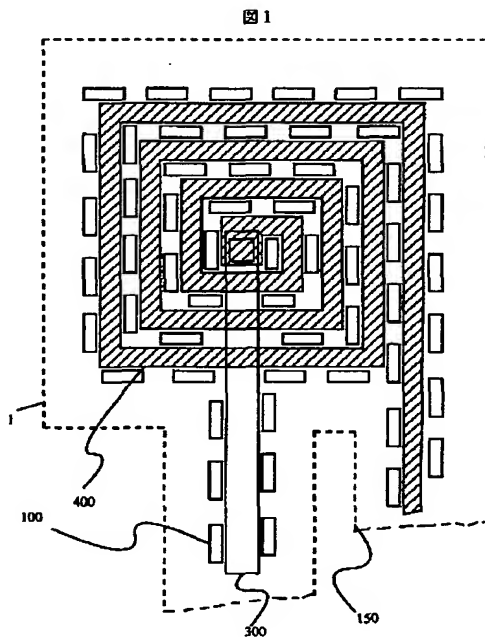
900…シリコン酸化膜、

PMOS…第1導電型 (P型) チャネルMISFET、

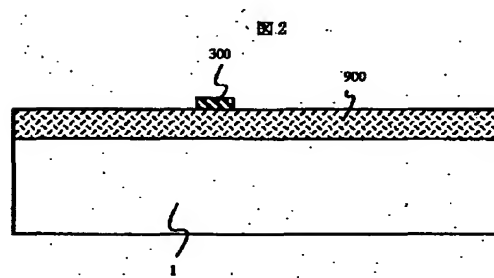
NMOS…第2導電型 (N型) チャネルMISFET、

L…スパイラルインダクタ。

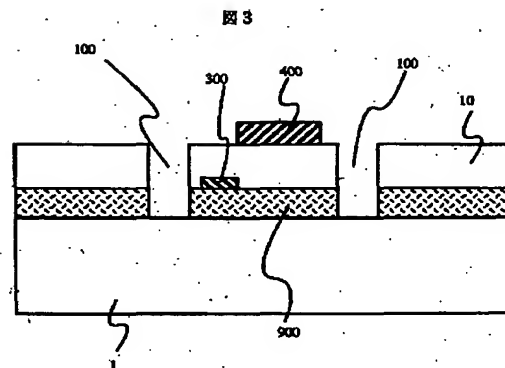
【図1】



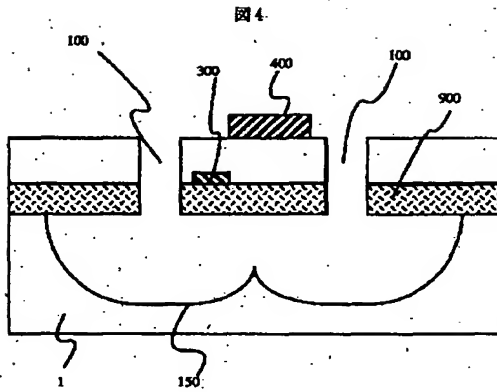
【図2】



【図3】

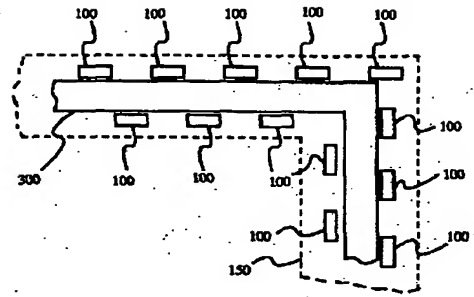


【図4】



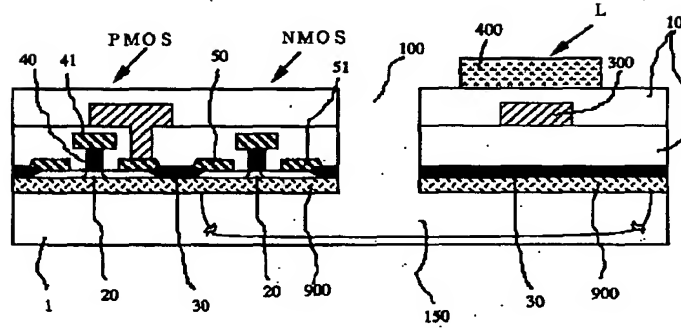
【図5】

図5



【図6】

図6



【図 7】

図 7

